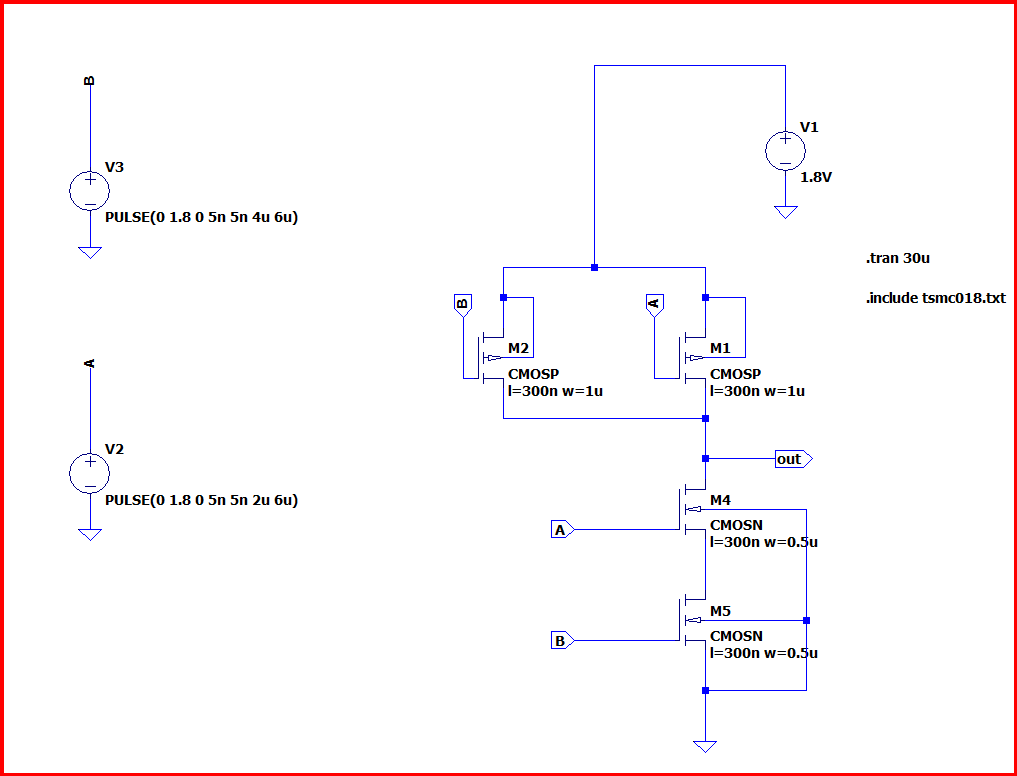
Họ tên: Nguyễn Quang Minh

MSSV: 201404024

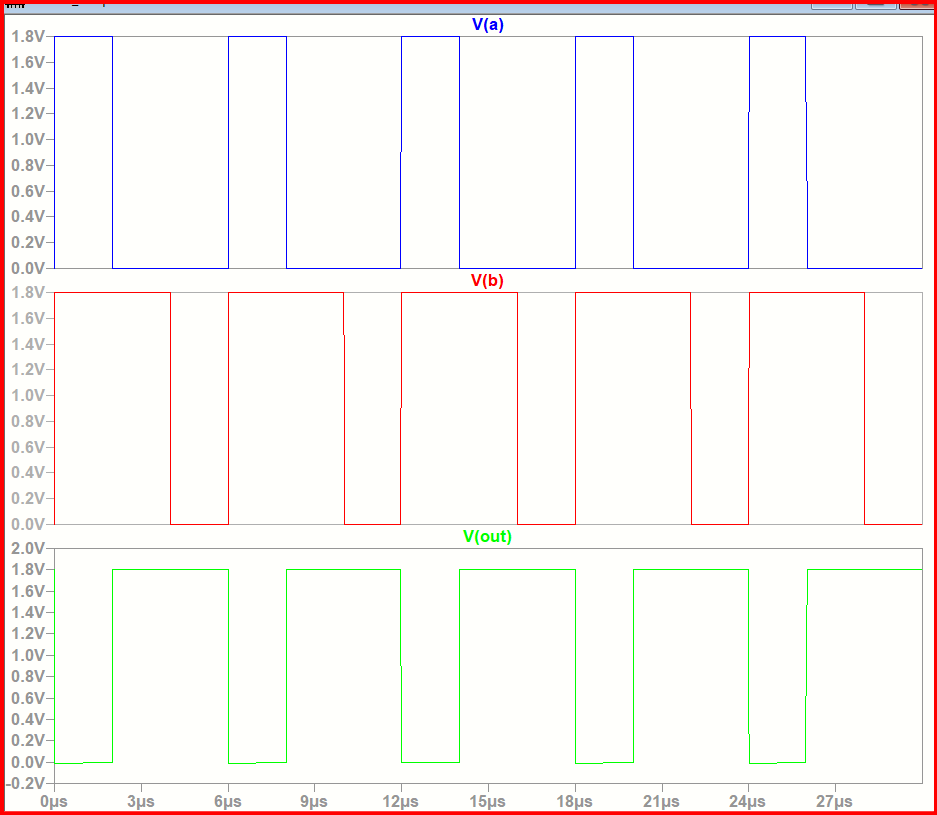
Lớp: Điện tử và THCN1

**Thiết kế mạch số**

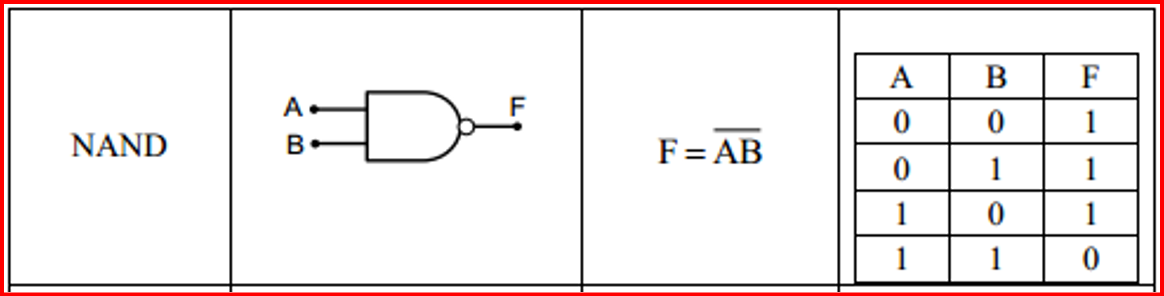
1. **Thiết kế cổng NAND 2 đầu vào:**

****

* Mô phỏng

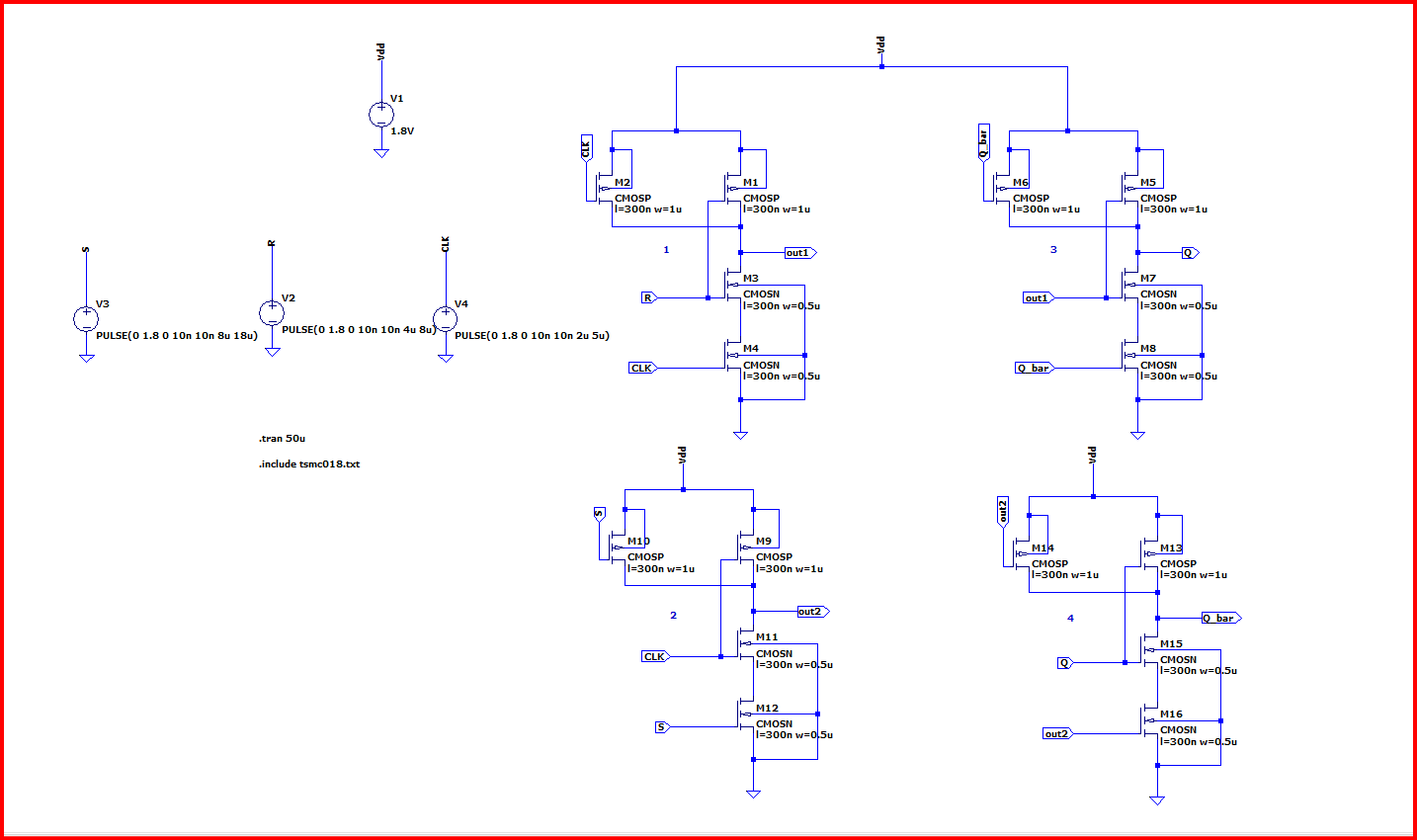
****

* Từ đây ta thấy kết quả mô phỏng giống với mong muốn khi so sánh với bảng sự thật của mạch NAND 2 đầu vào:

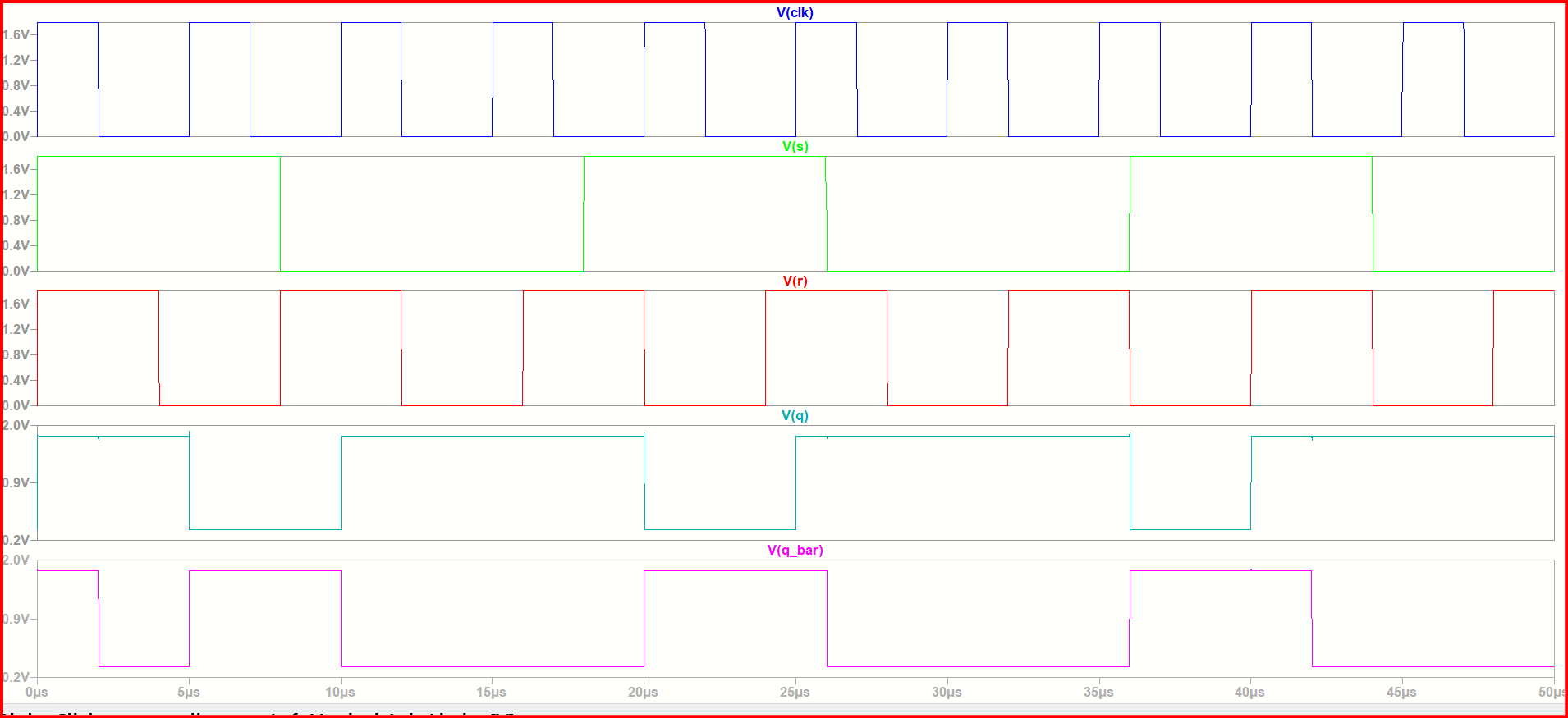


* **TH1:** Xung tại Va là 1, tại Vb là 1,thu được tín hiệu đầu ra Vout là 0
* **TH2:** Xung tại Va là 0, tại Vb là 1,thu được tín hiệu đầu ra Vout là 1
* **TH3:** Xung tại Va là 0, tại Vb là 0,thu được tín hiệu đầu ra Vout là 1

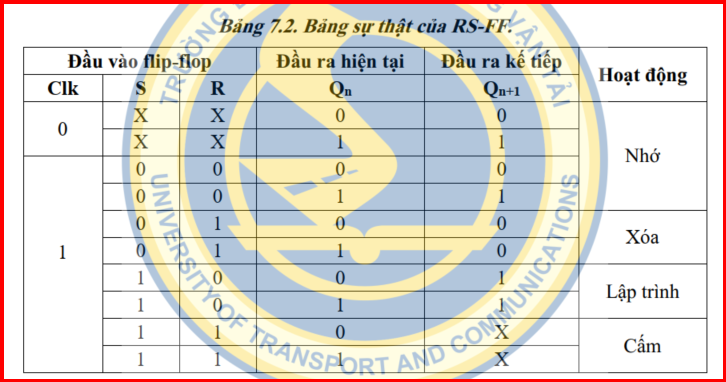
1. **Thiết kế bộ RS-FF có CLK:**

****

* Mô phỏng



* Từ đây ta thấy kết quả mô phỏng giống với mong muốn khi so sánh với bảng sự thật của RS-FF có CLK:

****

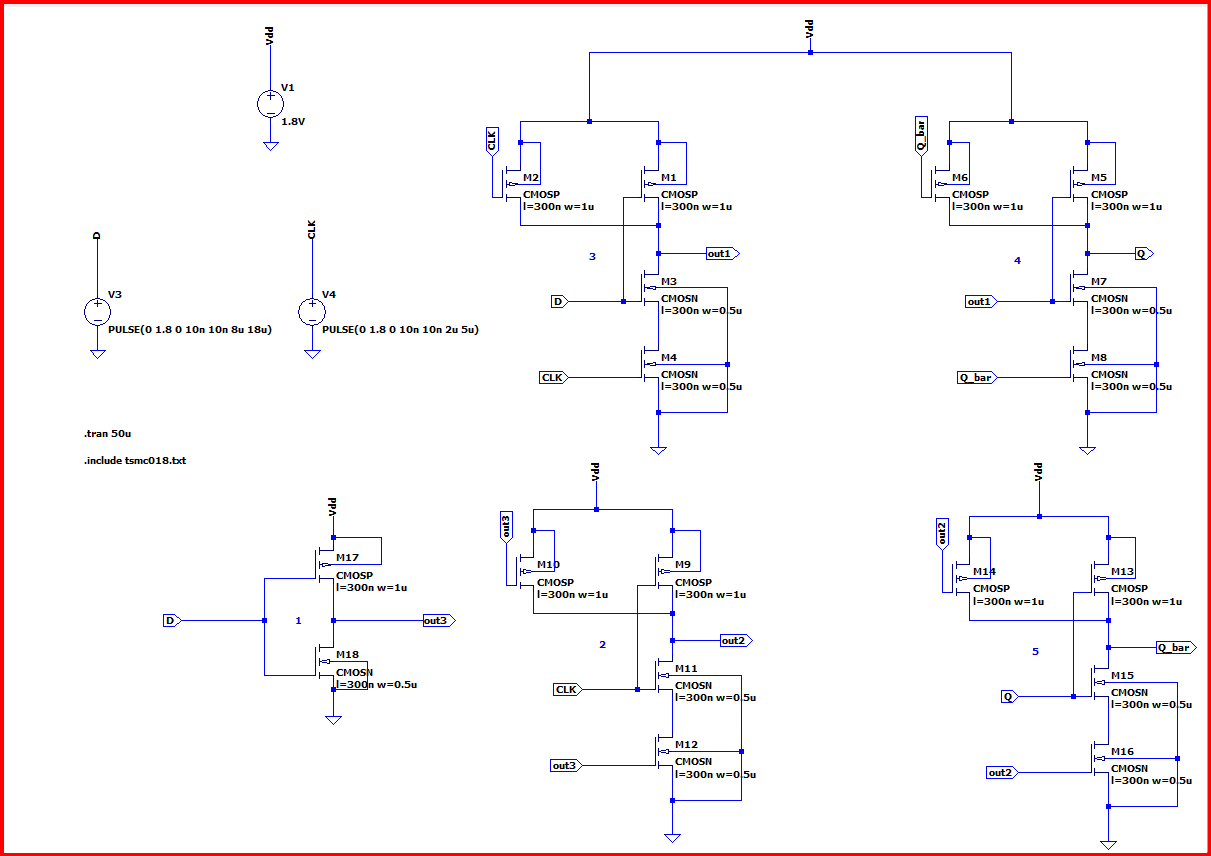
+) **TH1**: Có xung nhịp (Clk = 1), và S = 1, R = 1, đầu ra hai cổng NAND 1 và NAND 2 đầu là 0. Đầu vào cổng NAND 3 và 4 đều là 0 nên đầu ra hai cổng là 1, Q = 1 và Q\_bar = 1, vi phạm quy luận logic của FF là hai đầu ra đảo nhau, vì vậy trường hợp này là cấm.

+) **TH2**: Khi xung nhịp không tích cực (logic 0) hay S = R = 0, đầu ra của flip-flop duy trì ở trạng thái hiện tại, tức là

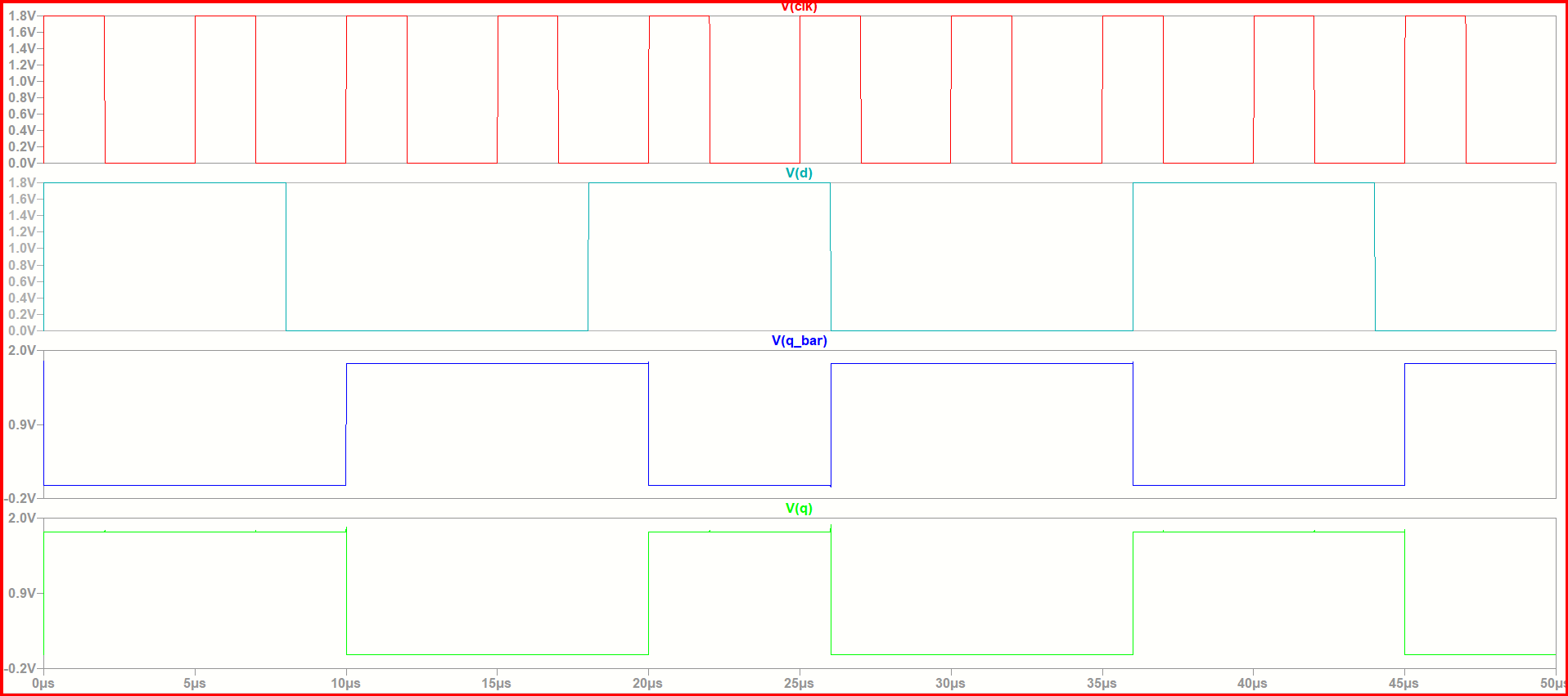
Qn = Qn+1, như vậy FF đang ở trạng thái lưu dữ liệu.

+)**TH3**: Có xung nhịp (Clk = 1), và S = 1, R = 0, đầu ra cổng NAND 2 sẽ là 1, và đầu ra cổng NAND 1 sẽ là 0. Mức 0 này sẽ làm cho đầu ra Q = 1. Khi đó đầu vào cổng NAND 4 có hai đầu vào ở mức 1 nên đầu ra Q\_bar = 0.

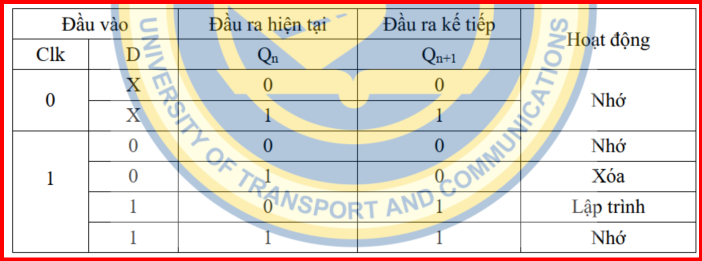
+) **TH4**: Có xung nhịp (Clk = 1), và nếu S = 0, R = 1, đầu ra cổng NAND1 sẽ là 1, và đầu ra cổng NAND 2 sẽ là 0. Do đó đầu ra cổng NAND 4 sẽ là 1, Q\_bar =1, mức 1 này được đưa đến đầu vào cổng NAND 3 do đó cả hai đầu vào cổng NAND 3 đều là 1, đầu ra cổng NAND 3 sẽ là 0, Q = 0.

**3.Thiết kế bộ D-FF có CLK:** ****

* Mô phỏng:



* Từ đây ta thấy kết quả mô phỏng giống với mong muốn khi so sánh với bảng sự thật của D-FF có CLK:



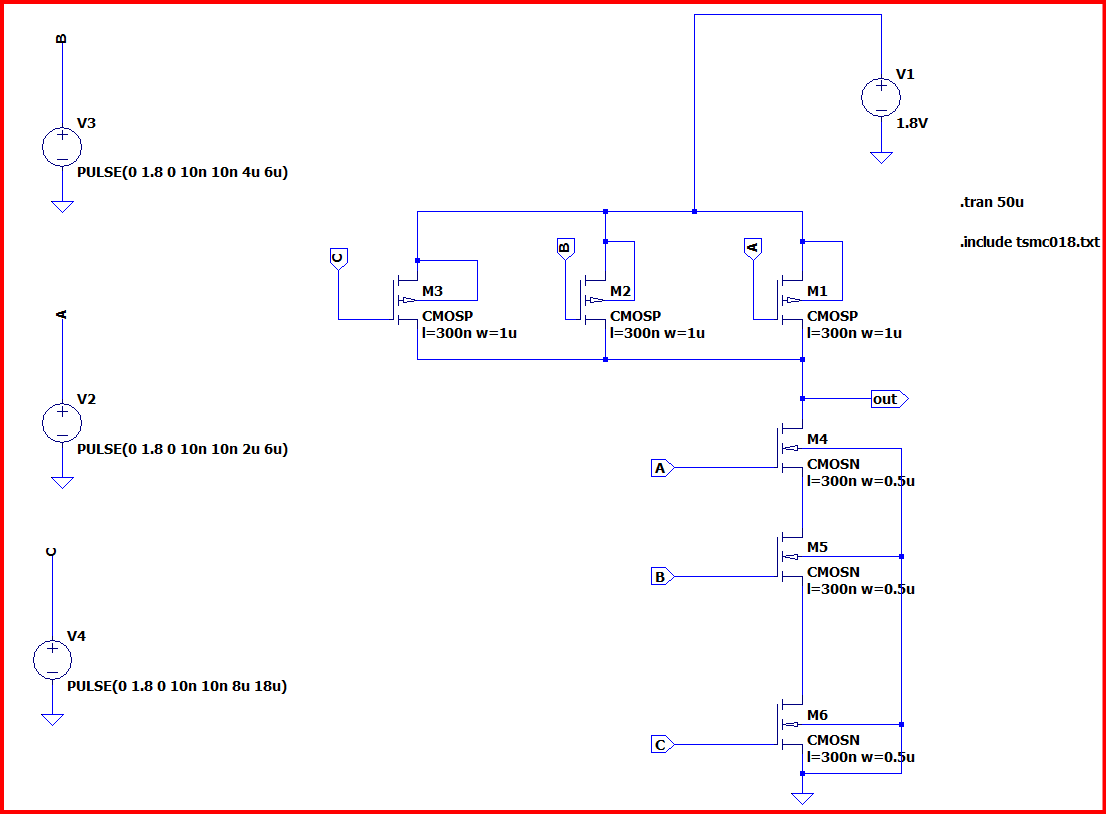
+) **TH1**: Khi CLK = 1, và D = 1, cả hai đầu vào cổng NAND 2 là 1 nên đầu ra cổng NAND 2 sẽ là 0. Đầu ra cổng NAND 4, tức là Q = 1. Mặt khác, đầu ra cổng NAND 1 sẽ là 0, làm đầu ra cổng NAND 3 là 1, làm Q\_bar = 0.

+) **TH2**: Khi đầu vào CLK = 0, giá trị của đầu vào D không ảnh hưởng.

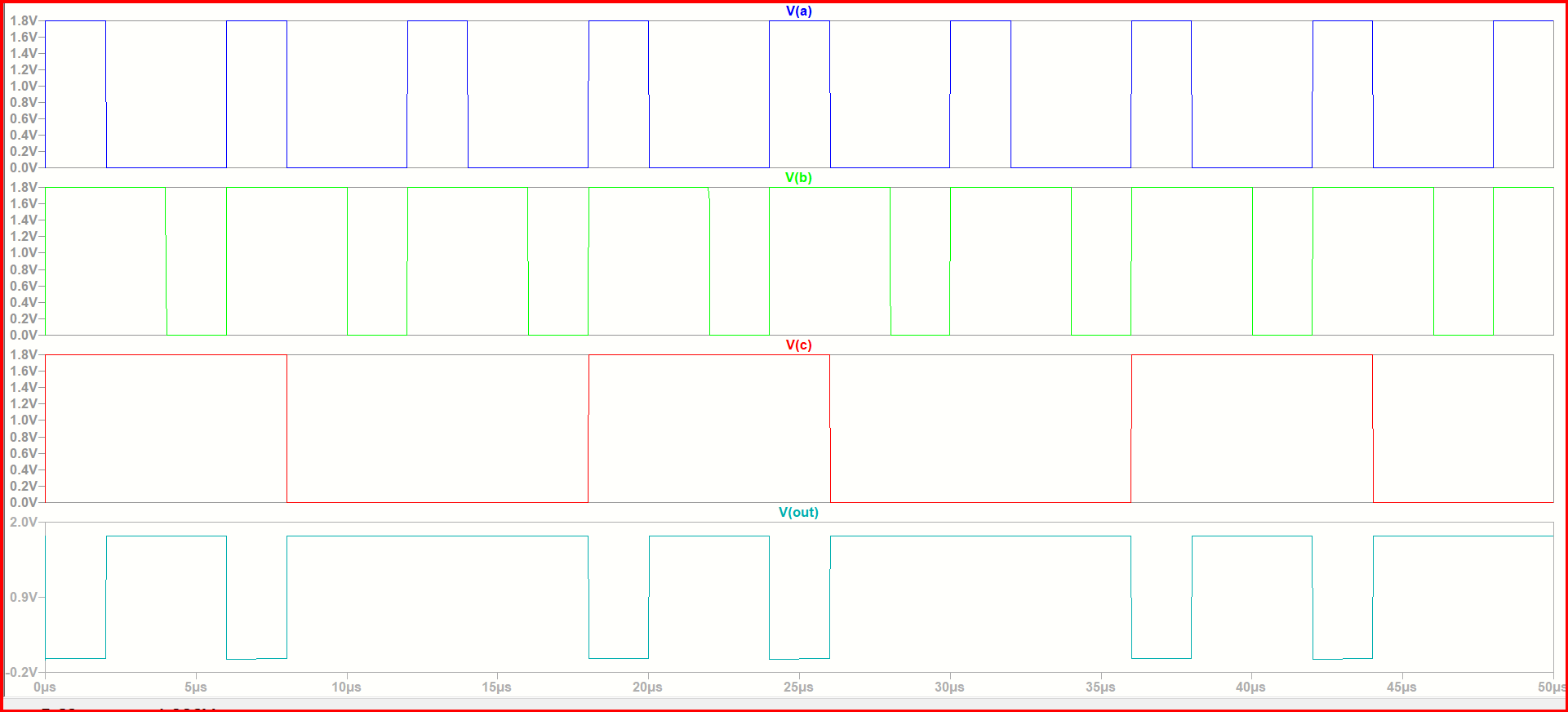
+)**TH3:** Nếu CLK = 1, D = 0, nên đầu ra cổng NAND 3 sẽ là 0, đầu ra cổng NAND 5 sẽ là 1, Q\_bar =1. Và đầu ra cổng

NAND 2 sẽ là 1. Cổng NAND 4 có hai đầu vào là 1 nên đầu ra Q = 0.

1. **Thiết kế cổng NAND 3 đầu vào:**

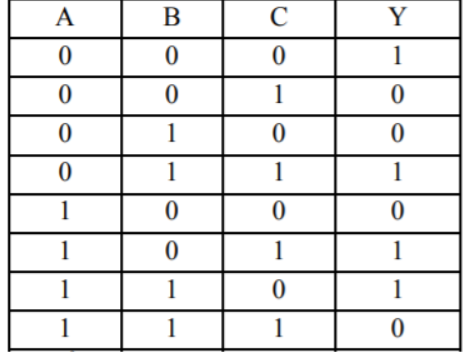
****

* Mô phỏng:

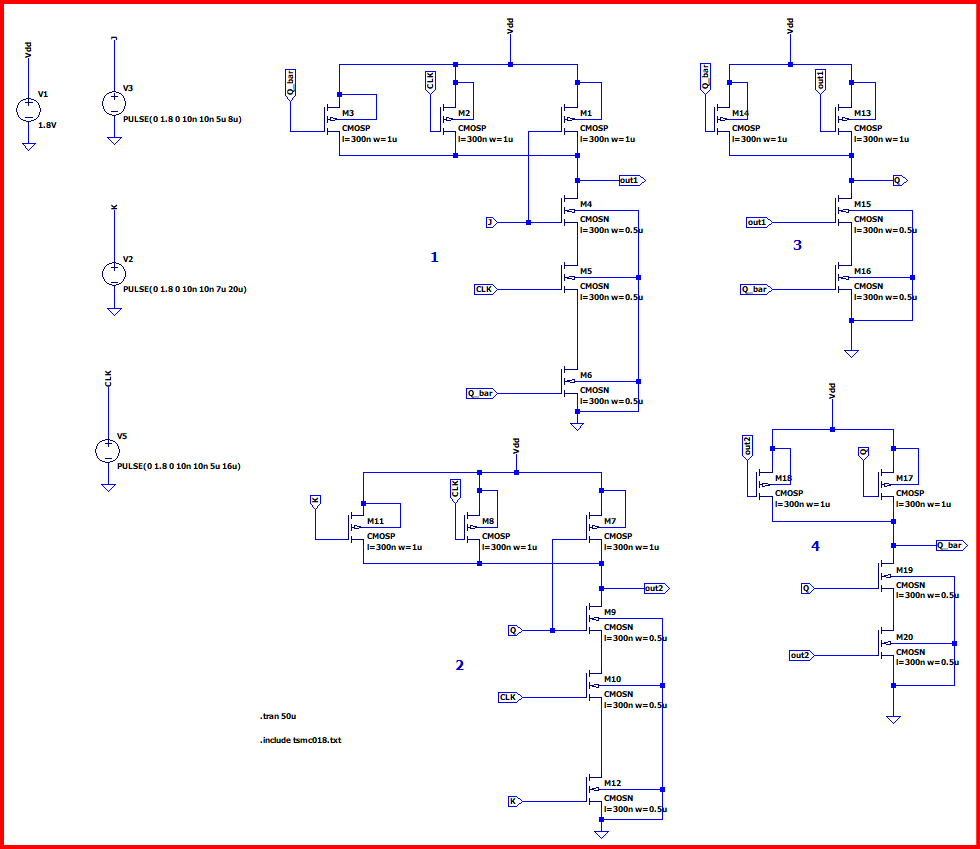


* Từ đây ta thấy kết quả mô phỏng giống với mong muốn khi so sánh với bảng sự thật của cổng

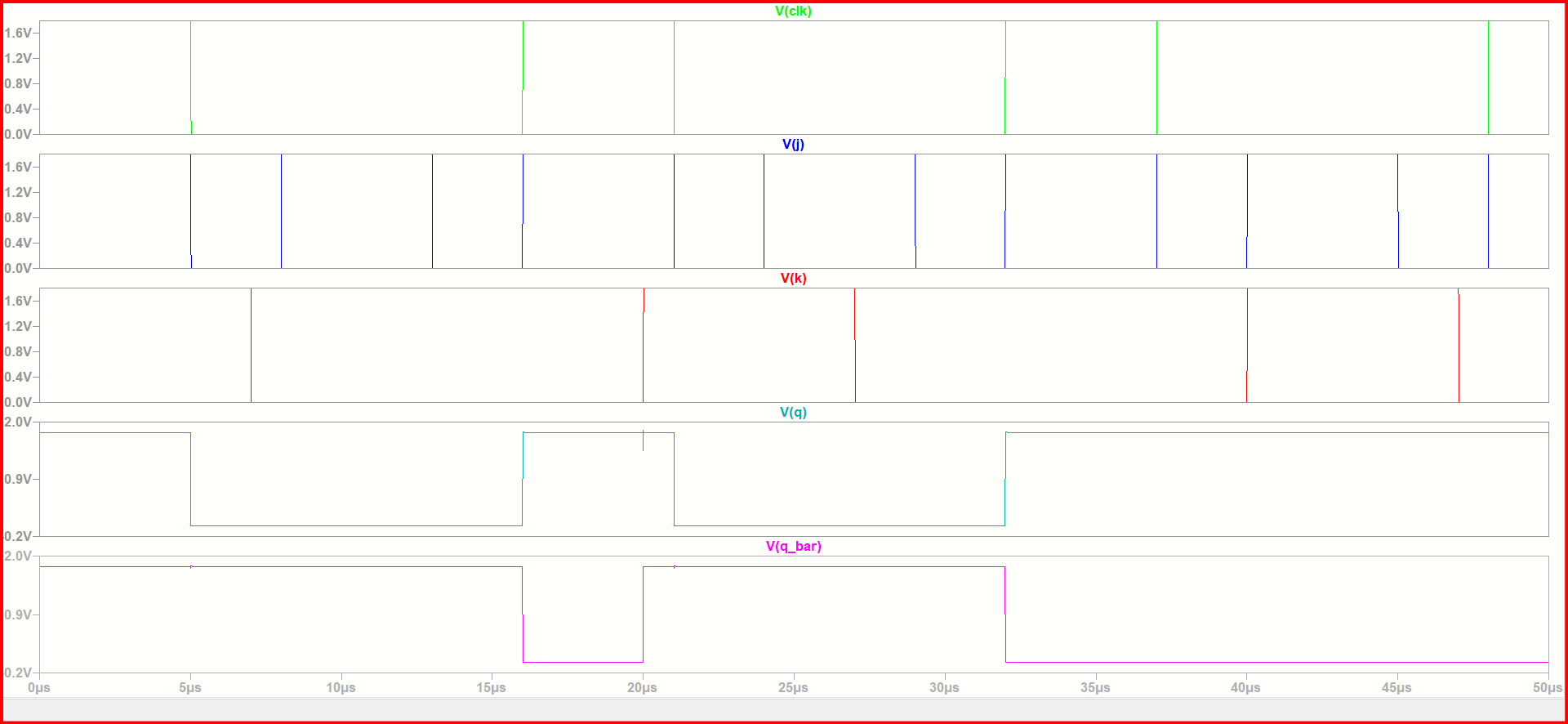
NAND 3 đầu vào:



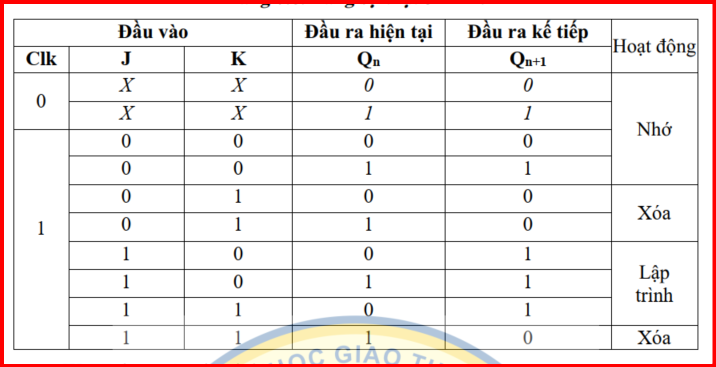
1. **Thiết kế bộ JK-FF có CLK:**

****

Mô phỏng:

****

* Từ đây ta thấy kết quả mô phỏng giống với mong muốn khi so sánh với bảng sự thật của bộ JK-FF có CLK:

****